

有効蓄積容量を10%程度増加させることが可能となる。

従って超微細、高集積度のDRAMセル等の半導体記憶装置を製造することが可能となる。

4. 図面の簡単な説明

第1図は本発明の実施例に係るDRAMセルの構造図、

第2図は本発明の実施例に係るDRAMセルの形成工程図、

第3図は従来例に係るDRAMセルの説明図である。

(符号の説明)

T, T₁ … 転送トランジスタ、

C, C₁ … 蓄積容量、

1, 11 … Si基板(第1の半導体層)、

1b, 11a … 対向電極、

1a … p⁺Si基板、

1b … p⁺⁺Si基板、

2, 14 … フィールド酸化膜、

12 … SiO₂膜(第1の絶縁膜)、

3, 22 … ドレイン(不純物拡散層)、

13 … Si基板(第2の半導体層)、

4, 20 … ソース(不純物拡散層又はビット線BL)、

5, 7, 16a … SiO₂膜(誘電体膜)、

16, 21 … SiO₂膜またはSi₃N₄膜(第2, 3の絶縁膜)、

17, 19, 23 … ポリSi膜(第1, 2, 3の導電体膜)、

6, 17a … 蓄積電極、

18 … 開口部、

8, 15 … 溝部、

9 … 空乏層、

20 … ソース(不純物拡散層)、

BL, BL₁ … ビット線(ソース)、

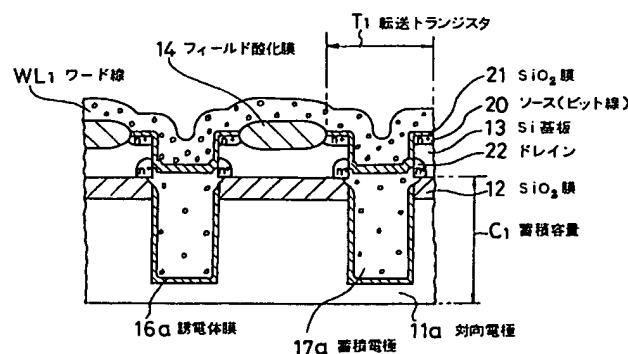
WL, WL₁ … ワード線(ゲート電極)、

d … 深さ。

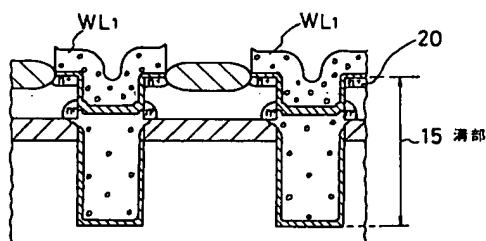
代理人弁理士 井桁 貞

19

20



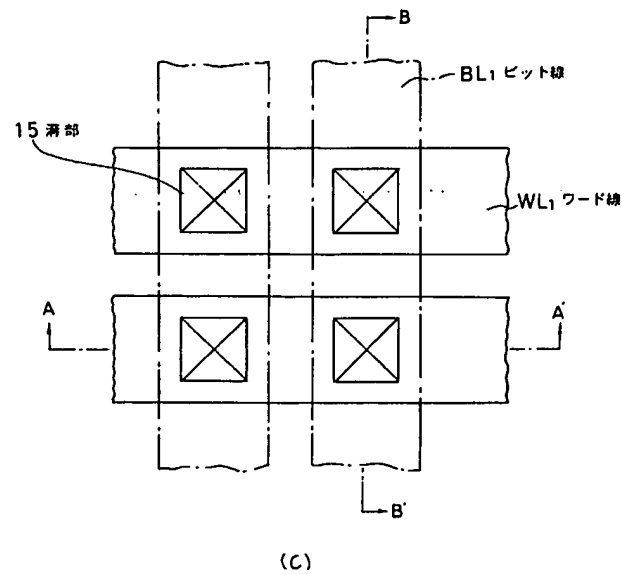
(a)



(b)

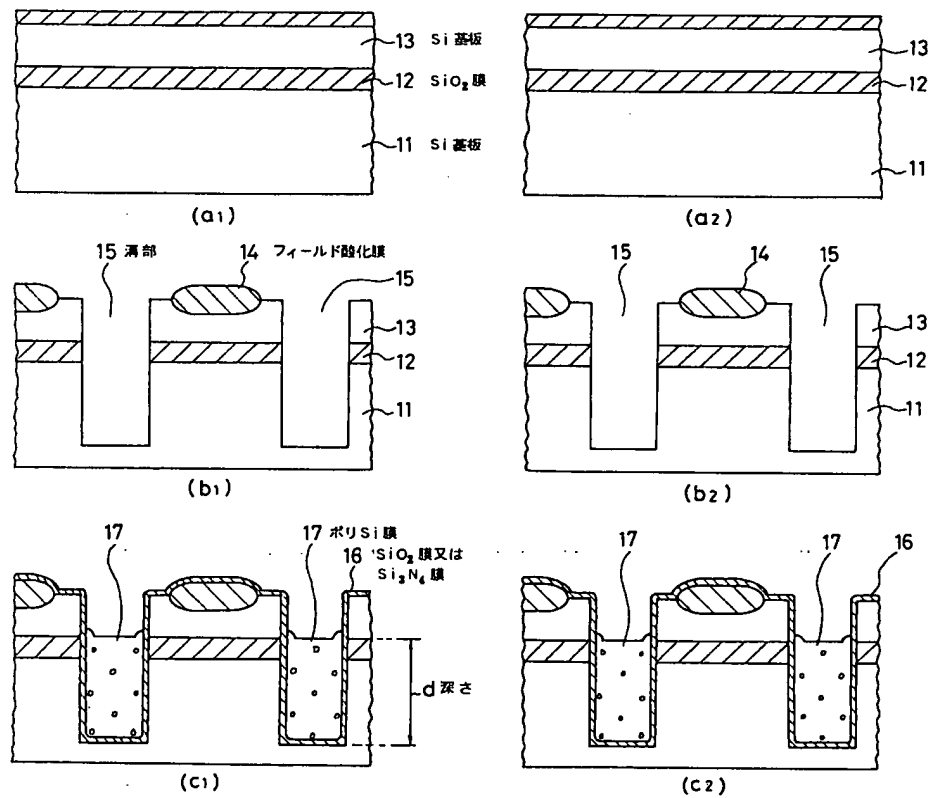
本発明の実施例に係るDRAMセルの構造図

第1図(その1)



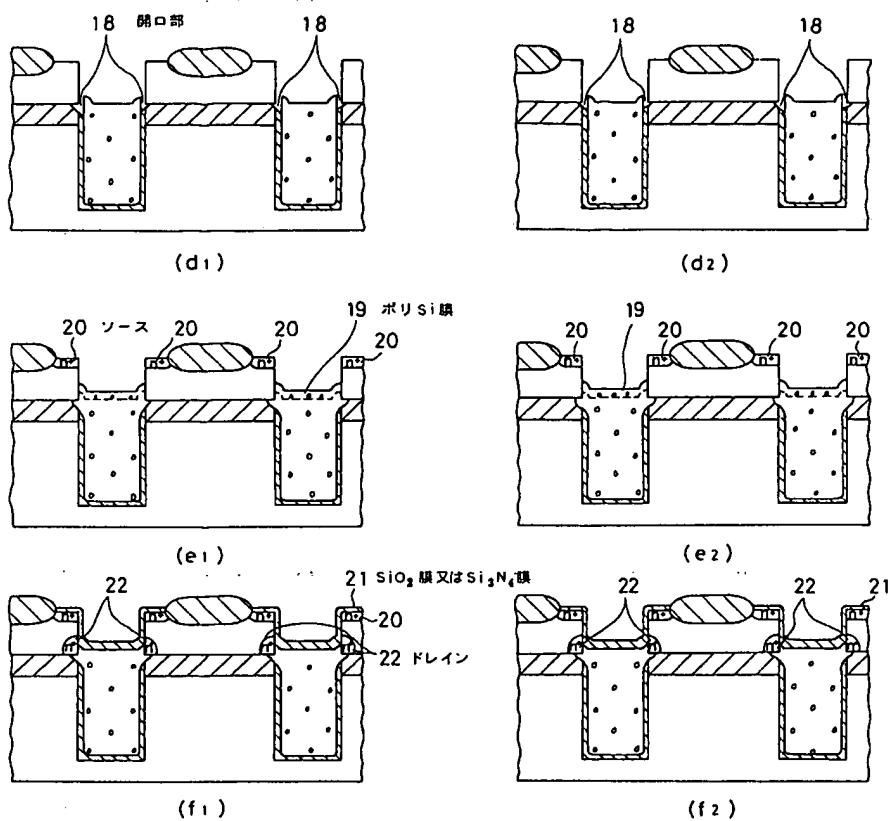
本発明の実施例に係る DRAM セルの構造図

第 1 図 (その 2)



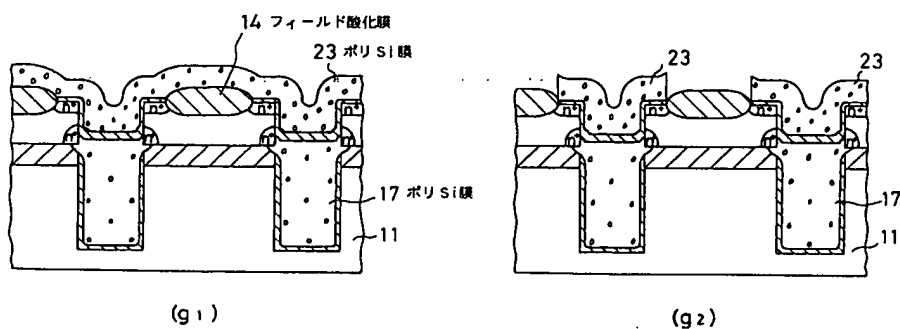
本発明の実施例に係る DRAM セルの形成工程図

第 2 図 (その 1)



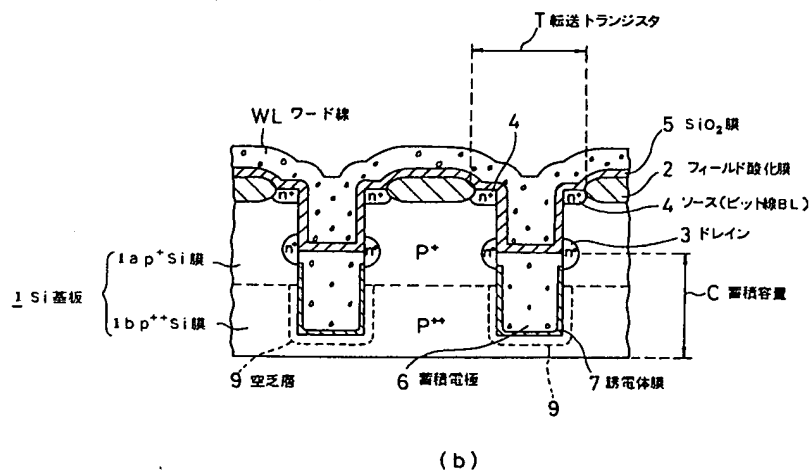
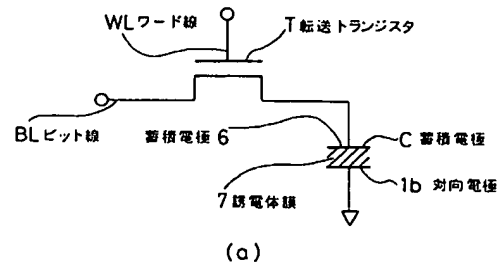
本発明の実施例に係る DRAMセルの形成工程図

第 2 図 (その 2)



本発明の実施例に係る DRAMセルの形成工程図

第 2 図 (その 3)



従来例に係る DRAM セルの説明図
第 3 図